

УДК 621.

Сравнительный анализ БИС считывания с АЦП в ячейке для ФПУ длинноволнового ИК-диапазона

П. А. Кузнецов, И. С. Мощев

Рассматривается схема построения 14-разрядного дельта-сигма аналого-цифрового преобразователя (АЦП) с конвейерным считыванием. Анализируются основные концепции построения (АЦП) в накопительной ячейке для матричных ФПУ ИК-диапазона. Наличие АЦП в ячейке БИС считывания позволяет в десятки раз увеличить время накопления и, улучшить пороговые характеристики. Предложен способ оптимизации АЦП по площади за счет применения LFSR-счетчика, работающего в двух режимах: формирования цифрового кода и его последовательного считывания.

PACS: 85.60 Dw

Ключевые слова: БИС считывания, АЦП, ячейка, ФПУ

Введение

Современное развитие микрофотоэлектроники обусловлено, в первую очередь, фактором технологического прогресса в области кремниевой КМОП-электроники, а также развитием схемотехники больших интегральных схем считывания (БИС считывания) [1, 2]. Анализ зарубежных [3, 4] и отечественных публикаций [5–11] позволяет сделать вывод, что по целому ряду причин более конкурентоспособными являются БИС считывания с аналогово-цифровыми преобразователями (АЦП) выходного сигнала. Для многоэлементных ФПУ длинноволнового ИК-диапазона на основе фотодиодов из КРТ наличие АЦП в ячейке БИС считывания позволяет в десятки раз увеличить время накопления и, соответственно, улучшить пороговые характеристики. Накопление фотосигнала в цифровом виде позволяет существенно повысить отношение сигнал-шум на выходе БИС считывания, расширить линейный динамический диапазон, устранить влияние шумов выходных буферов и элементов сопряжения с внешним трактом. Немаловажным обстоятельством, кроме этого, является также возможность проведения первичной цифровой обработки в составе БИС считывания.

Целью данной работы являлся анализ основных концепций построения АЦП в накопительной ячейке для матричных ФПУ ИК-диапазона

в интересах выработки решений по оптимизации АЦП по площади.

Основные структуры накопительных ячеек с АЦП

Рассмотрим три основные схемы АЦП в ячейке для «смотрящих» матриц (рис. 1). Первая схема, наиболее простая и распространенная [11] (рис. 1, а), основана на кодировке импульсного частотно-модулированного сигнала сброса Reset, периодически идущего с выхода компаратора СМР при разряде накопительного конденсатора C_{INT} до уровня опорного напряжения V_{REF} . Поскольку скорость разряда прямо пропорциональна току фотоприемника PD, то частота импульсов Reset будет тоже пропорциональна фототоку. Цифровую кодировку этих импульсов осуществляет N -битный двоичный счетчик CNT, показания которого периодически заносятся в память MEM для дальнейшего считывания.

Вторая схема [12, 13] (рис. 1, б) основана на кодировке импульсного сигнала Reset на выходе RS-триггера, предустановленного сигналом SINT. Ширина этого импульса модулирована моментом срабатывания компаратора СМР при разряде накопительного конденсатора C_{INT} до уровня опорного напряжения V_{REF} . Цифровая кодировка импульса Reset происходит в памяти MEM в момент срабатывания компаратора СМР за счет записи цифрового кода в память MEM с двунаправленной N -битной шины данных, формируемых внешним (глобальным) счетчиком. По этой же шине записанные данные считываются из памяти MEM на выход.

Третья схема [14] (рис. 1, в) представляет упрощенный вариант дельта-сигма АЦП первого по-

Кузнецов Петр Александрович, главный специалист.

Мощев Иван Сергеевич, инженер.

ОАО «НПО «Орион».

Россия, 111123, Москва, ш. Энтузиастов, 46/2.

E-mail: orion@orion-ir.ru

Статья поступила в редакцию 10 декабря 2013 г.

© Кузнецов П.А., Мощев И.С., 2014

рядка. Цифровая кодировка импульсного сигнала Del с выхода компаратора происходит аналогично первой схеме, но подзарядка накопительного конденсатора C_{INT} осуществляется не напряжением V_R , а фиксированными порциями заряда Q_0 .

Общей особенностью для всех схем, как уже было отмечено, является большое время АЦ-преобразования, что позволяет работать с относительно низкой тактовой частотой (не более 20 МГц).

Недостатком первой схемы АЦП является зависимость значений цифрового кода от задержки срабатывания компаратора t_d , что поясняется временной диаграммой на рис. 2.

Из временной диаграммы следует, что период срабатываний компаратора определяется с погрешностью:

$$T_{CMP} = C_{INT} (V_R - V_{REF}) / I_{PD} + t_d = Q_0 / I_{PD} + t_d \quad (1)$$

где Q_0 — фиксированная порция заряда. Соответственно, частота переключения компаратора будет равна:

$$f_{CMP} = 1 / T_{CMP} = I_{PD} / (Q_0 + I_{PD} t_d) = I_{PD} / Q_{EFF} \quad (2)$$

Из (2) следует, что зависимость эффективного кванта АЦП от задержки переключения t_d компаратора ведет к нелинейной зависимости цифрового кода $Code = Bin [f_{CMP}]$ от тока фотоприемника. Для снижения параметра t_d необходимо существенно увеличивать ток потребления компаратора, что ведет к увеличению потребляемой мощности всей БИС считывания. Например, в работе [11] авторы указывают, что основным недостатком разработанной ими БИС считывания формата 320x256 с 15-ти битным пиксельным АЦП является большая потребляемая мощность (150 мВт), в 3—5 раз превышающая типовое значение для аналоговых БИС среднего формата.

Во второй схеме АЦП срабатывание компаратора происходит только один раз за период преобразования, что значительно снижает требования по быстродействию компаратора и позволяет понизить потребляемую мощность.

Сигнал начала накопления S_{INT} (рис.3) устанавливает выход Q RS-триггера в состояние «1», которое удерживается до момента равенства напряжений V_{INT} и V_{REF} . Длительность импульса t_{RS} на выходе RS-триггера определяет значение цифрового кода, фиксируемого в памяти MEM спадом сигнала Reset с выхода компаратора:

$$Code = Bin [t_{RS} / t_{CLK}] = Bin [Q_0 / I_{PD} t_{CLK}], \quad (3)$$

где t_{CLK} — период тактовых импульсов внешнего счетчика. Недостатком второй схемы АЦП является нелинейная (обратная) зависимость между

значением цифрового кода (3) и током фотоприемника. Авторами второй схемы АЦП был предложен метод линейаризации АЦ-преобразования, основанный на модуляции частоты тактирования внешнего счетчика.

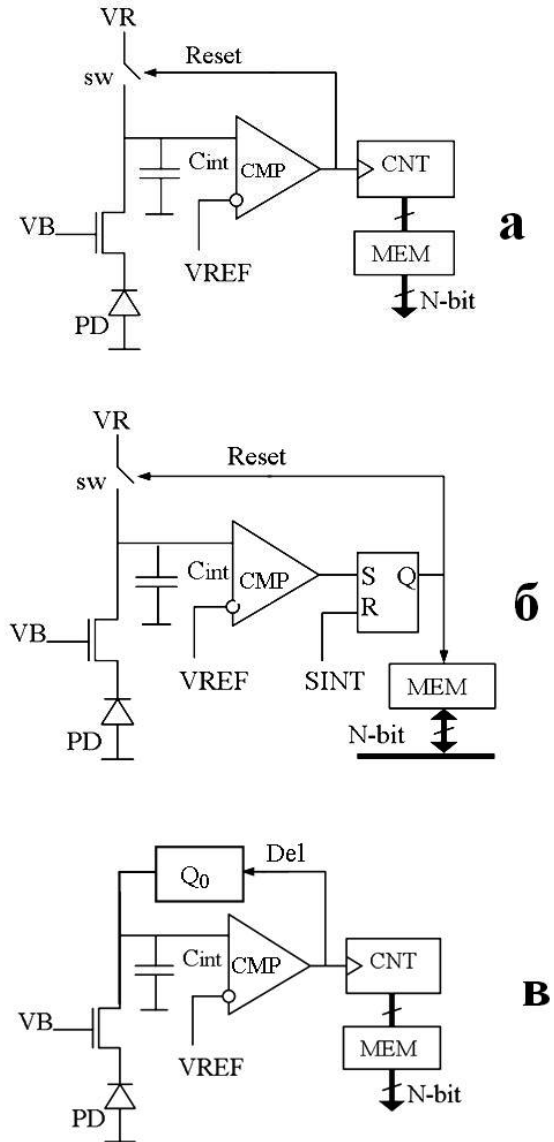


Рис. 1. Три основные схемы пиксельных АЦП: а) с автоматическим сбросом напряжения; б) с широтно-импульсной модуляцией; в) с автоматическим вычитанием заряда (дельта-сигма АЦП).

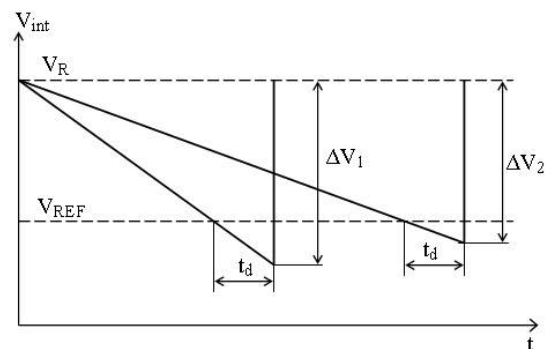


Рис. 2. Временная диаграмма накопления в АЦП с автоматическим сбросом напряжения.

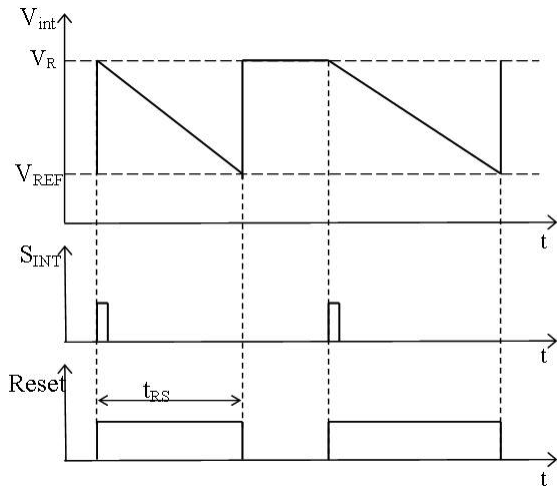


Рис. 3. Временная диаграмма накопления в схеме АЦП с широтно-импульсной модуляцией.

Третий вариант схемы с вычитанием заряда на основе дельта-сигма АЦП представляется наиболее интересным. В работе [14] было отмечено, что преимуществом АЦП с вычитанием заряда, по сравнению с АЦП с автоматическим сбросом, является независимость значений цифрового кода от таких параметров компаратора, как задержка переключения, напряжение смещения, шумы, опорное напряжение V_{REF} . Это объясняется независимостью работы формирователя фиксированных порций (квантов) заряда Q_0 от перечисленных параметров компаратора. Наибольшее распространение ячейки с АЦП получили трехтранзисторные формирователи квантов заряда, работающие по принципу ПЗС-ячейки [15].

Оптимизированная схема АЦП в ячейке

Рассмотрим схемотехническую реализацию схемы дельта-сигма АЦП в ячейке (рис.4), оптимизированной по площади и потребляемой мощности. Схема состоит из двух частей:

- дельта-сигма модулятор А-1;
- формирователь N -разрядного кода А-2.

Дельта-сигма модулятор содержит интегратор тока фотоприемника PD на n -МОП- транзисторе M1 и накопительной емкости C_{INT} , компаратор напряжения CMP и двухфазный формирователь квантов заряда Q_0 на ключах S1, S2, емкости C_0 и p -МОП-транзисторе M2. При разряде накопительной емкости до уровня V_{REF} происходит переключение выхода компаратора в инверсное состояние, в результате чего ключ S2 замыкается, а S1 размыкается. Разряженная до нуля емкость C_0 заряжается до напряжения

$$\Delta V = V_{DD} - V_G + V_{TP} \tag{4}$$

где V_{TP} – пороговое напряжение p -МОП-транзистора M2. Таким образом, получаем квант заряда

$$Q_0 = C_0 \Delta V = C_0 (V_{DD} - V_G + V_{TP}). \tag{5}$$

Инжекция этого заряда в исток транзистора M2 компенсирует разряд накопительной емкости C_{INT} в результате, компаратор переключается в начальное состояние. Частота переключений компаратора, как и в схеме с автоматическим сбросом (выражение (2)), прямо пропорциональна току фотоприемника $f_{CMP} \sim I_{PD} / Q_0$, но уже с большей

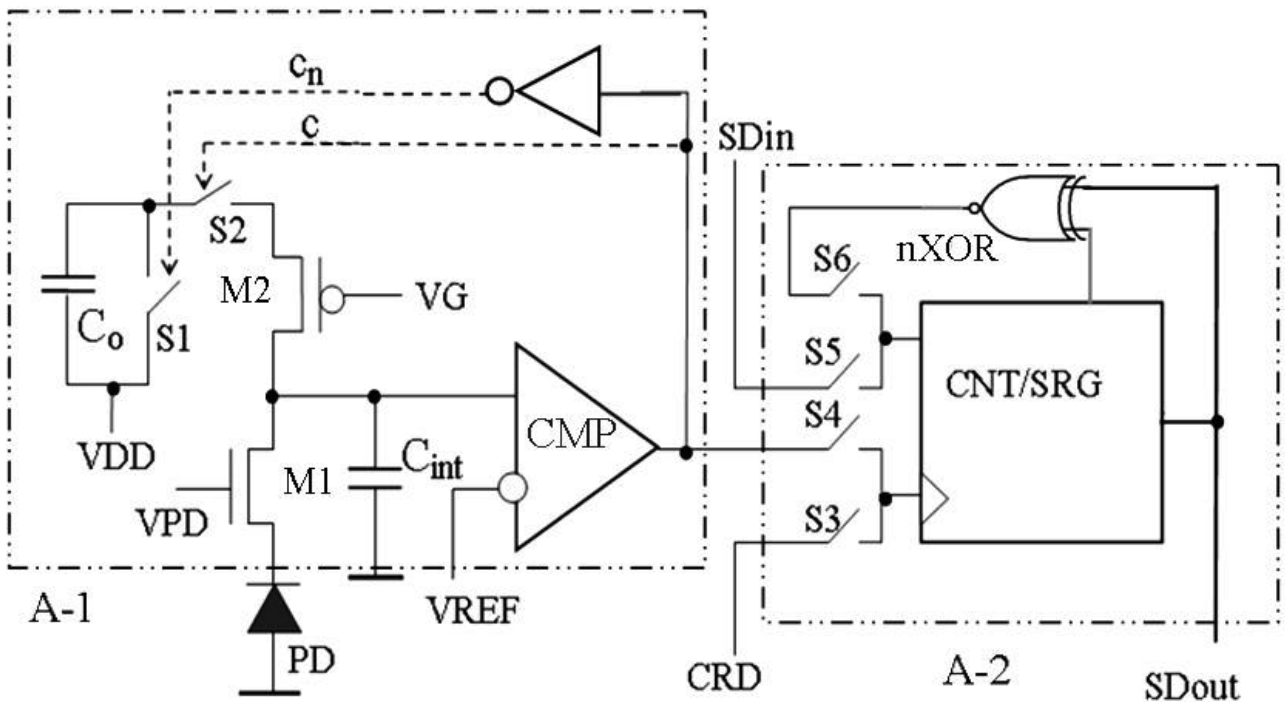


Рис. 4. Структурная схема пиксельного дельта-сигма АЦП.

степенью линейности, поскольку время переключения компаратора не входит в выражение (5). Следовательно, в схеме АЦП с вычитанием заряда можно значительно снизить потребляемую мощность без влияния на линейность цифрового кода. Кроме того, как было отмечено выше, значение цифрового кода не будет зависеть и от порогового напряжения компаратора. Таким образом, компаратор перестает быть основным элементом, определяющим свойства пиксельного АЦП, и его схему можно предельно упростить.

АЦП с вычитанием заряда имеет также преимущества по собственному входному шуму. Если дисперсия шумового заряда АЦП с автоматическим сбросом определяется двумя компонентами:

$$\sigma_R^2 = nC_{INT}^2 E^2 + nkT C_{INT}, \quad (6)$$

где n — число переключений компаратора за период АЦ-преобразования; E — напряжение шума компаратора; k — постоянная Больцмана; T — температура (К), то дисперсия шумового заряда АЦП с вычитанием заряда определяется только одной компонентой (при $n \gg 1$):

$$\sigma_{DS}^2 = nkTC_0. \quad (7)$$

Необходимо также учитывать шум квантования, одинаковый для всех типов АЦП, включая идеальный. Как известно, дисперсия шума квантования определяется только шагом квантования δ :

$$\sigma_{\Delta}^2 = \delta^2/12 = Q_0^2/12 = (C_0\Delta V)^2/12. \quad (8)$$

С учетом дробового шума тока фотоприемника I_{PD} , интегрируемого в течении времени накопле-

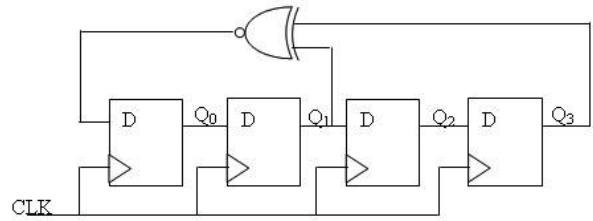


Рис. 5. Схема LFSR счетчика на D-триггерах.

ния (АЦ-преобразования) T_{INT} , полная дисперсия шумового заряда АЦП определяется как:

$$\sigma_{SUM}^2 = q_e I_{PD} T_{INT} + nkTC_0 + (C_0\Delta V)^2/12. \quad (9)$$

При следующих выбранных значениях параметров схемы: $I_{PD} = 40$ нА (для длинноволнового КРТ-фотодиода), $T_{INT} = 2$ мс, $C_0 = 10$ фФ, $\Delta V = 0,5$ В, $n_{max} = 2^{14}$, $T = 77$ К получим $\sigma_{SUM} = 4 \cdot 10^{-15}$ Кл, причем 90% составляет дробовой шум тока фотоприемника. Параметр сигнал/шум рассчитывается через отношение полного накопленного заряда к среднеквадратичному значению шума АЦП:

$$SNR = 20 \lg (I_{PD} T_{INT} / \sigma_{sum}) = 92 \text{ дБ}. \quad (10)$$

Надо отметить, что в накопительной ячейке с АЦП (с цифровым накоплением) полученное значение SNR в 5–10 раз больше, чем в ячейках с обычным аналоговым накоплением. Это объясняется тем, что в ячейке с цифровым накоплением время накопления на два порядка выше и ограничено только разрядностью (размерами) счетчика импульсов с выхода компаратора. Таким образом, счетчик становится основным элементом при оптимизации площади ячейки с АЦП. В работе [16] анализируется LFSR-счетчик как реальная аль-

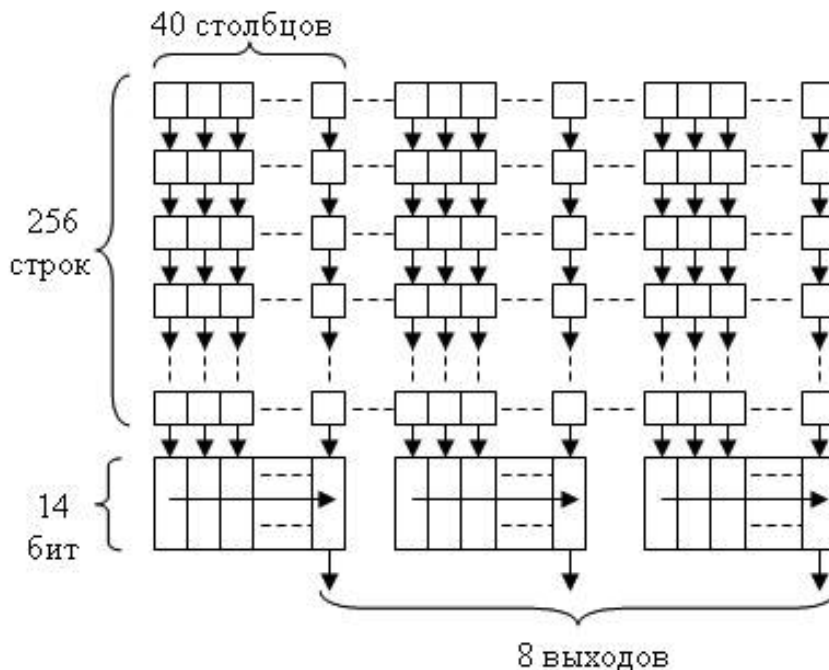


Рис. 6. Организация БИС считывания с АЦП в ячейке.

тернатива бинарному счетчику и счетчику с кодом Грея. Его отличительной особенностью является сочетание высокого быстродействия с малой потребляемой мощностью. Схемотехнически LFSR-счетчик реализован на N -каскадном сдвиговом регистре с линейной обратной связью (linear feedback shift register) через логический элемент NXOR (ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ).

На рис. 5 приведена структурная схема 4-разрядного LFSR-счетчика. Сдвиговый регистр выполнен на последовательности D-триггеров, тактируемых фронтом импульсов CLK. Количество кодовых комбинаций LFSR счетчика равно $2^N - 1$, т.е. всего на единицу меньше, чем у бинарного счетчика, что позволяет использовать LFSR-счетчик в качестве формирователя 14-разрядного цифрового кода в рассматриваемом пиксельном АЦП.

Для снижения площади, занимаемой счетчиком, были предложены два решения:

- построение D-триггеров не на элементах 2NAND (2И-НЕ), а на переключаемых КМОП-инверторах;

- для вывода цифровых данных из ячейки применяется последовательный конвейерный способ передачи информации вместо параллельного шинно-адресного.

Первое решение позволяет в четыре раза уменьшить количество МОП-транзисторов (8 вместо 34 на D-триггер). Второе решение исключает 14-разрядную шину данных из каждой ячейки. Использование конвейерной передачи данных становится возможным при переключении LFSR-счетчика в режим сдвигового регистра за счет ключевых элементов S3... S6 (рис. 4). При размыкании S4, S6 и замыкании S3, S5 на вход SDin, образуемого при этом сдвигового регистра, поступают последовательные данные с последовательного выхода SDout соседней ячейки. Запуск конвейерной передачи данных от ячейки к ячейке происходит при подаче через замкнутый ключ S3 тактов считывания CRD, частота которых определяется как

$$f_{CRD} = N f_{LINE} = Nm / T_{READ}, \quad (11)$$

где N — разрядность данных, f_{LINE} — строчная частота, m — число строк в матрице ячеек, T_{READ} — время считывания всего кадра.

Рассмотрим организацию считывания данных матрицы ячеек формата 320x256 на восемь выходов (рис. 6). Считывание данных из ячеек происходит по вертикальным регистрам после завершения цифрового накопления (режим ITR). При кадровой частоте 200 Гц и времени накопления $T_{INT} = 2$ мс для считывания всего кадра требуется интервал $T_{READ} = 3$ мс. Частота тактирования вер-

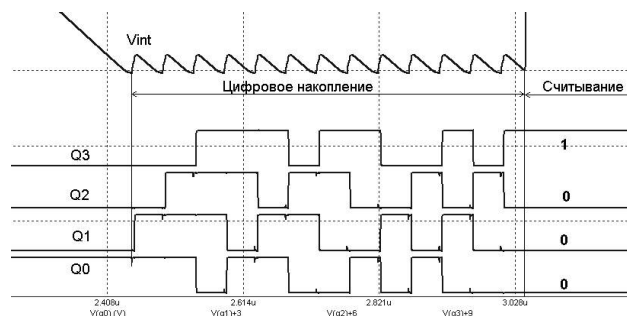


Рис. 7. Моделирование работы 4-х разрядной ячейки с АЦП.

тикальных регистров в соответствии с (11) равна $f_{CRD} = 14 \cdot 256 / 3 = 1,2$ МГц при $f_{LINE} = 85$ кГц, частота тактирования 14-горизонтальных регистров $40 f_{LINE} = 3,4$ МГц. Тогда частота считывания выходных последовательных данных по каждому выходу равна $f_{SOUT} = f_{LINE} \cdot 40 \cdot 14 = 48$ МГц.

На рис. 7 приведены результаты моделирования ячейки с 4-разрядным АЦП, подтверждающие правильность выбранных схемных решений. Для реализации предлагаемого АЦП в ячейке размером 30x30 мкм² требуется, приблизительно, 140 МОП-транзисторов при проектных нормах $\lambda \leq 0,35$ мкм.

Заключение

Рассмотрены три основные схемы АЦП в ячейке БИС считывания: 1) с автоматическим сбросом напряжения; 2) с широтно-импульсной модуляцией; 3) с автоматическим вычитанием заряда (дельта-сигма АЦП). Обоснован выбор третьего варианта АЦП в ячейке, имеющего оптимальное сочетание высокой линейности, малых шумов и компактной топологии.

Литература

1. Филачев А.М., Таубкин И.И., Трищенко М.А. Твердотельная фотоэлектроника. Физические основы. —М.: Физматкнига, 2005.
2. Филачев А.М., Таубкин И.И., Трищенко М.А. Твердотельная фотоэлектроника. Фото-диоды. —М.: Физматкнига, 2011.
3. Lui X. and El Gamal A. // Proceedings of SPIE. 2002. V. 4669. P. 304
4. Fowler B., El Gamal A., Yang D. A CMOS Area Image Sensor with Pixel-Level A/D Conversion, in ISSCC Digest of Technical Papers. (San Frasco, CA). February 1994.
5. Кузнецов П.А., Хромов С.С. // Успехи прикладной физики. 2013. Т. 1. № 3. С.321
6. Болтарь К.О., Зайцев А.А., Хромов С.С. // Прикладная физика/ 2011. № 5. С. 92
7. Бурлаков И.Д., Болтарь К.О., Климанов Е.А. и др. // Прикладная физика. 2005. № 5. С. 92
8. Зайцев А.А., Кузнецов П.А., Хромов С.С. // Прикладная физика. 2011. № 2. С. 97.

9. Зайцев А.А., Хромов С.С. // Прикладная физика. 2011. № 2. С. 100.
10. Корнеева М.Д., Пономаренко В.П., Филачев Ф.М. // Прикладная физика. 2011. № 2. С. 47
11. Bisotto S., Peizerat A., et. al. // Proc. SPIE. 2010. V. 7834. P. 76603T
12. Kitchen A., Bermak A., and Bouzerdoun A. // IEEE Electron Device Lett. 2004. V. 25. No. 7. P. 471

13. Kitchen A., Bermak A., and Bouzerdoun A. // Electron Devices, IEEE Transactions. 2005. V. 52. P. 2591
14. Peizerat A., Arques M. // IISW. 2007. P. 200
15. Yang D., Fowler B., El Gamal A. // IEEE Journal of Solid-State Circuits. 1999. V. 34. No.3. P. 348
16. Doshi N.A., Dhobale S.B., Kakade S.R. // World Academy of Science, Engineering and Technology. 2008. V. 24. P. 919

Comparative analyses of pixel level ADC for IR FPA

P. A. Kuznetsov and I. S. Moshchev

Orion R&P Association
46/2 Enthusiasts shosse, Moscow, 111123, Russia
E-mail: orion@orion-ir.ru
Received December 10, 2013

A comparison between three techniques for pixel level ADC in LWIR image sensors is presented. Advantages of delta-sigma pixel level ADC and simulation results are showed. Pixel digital area optimization is achieved by application LFSR-counter with two function mode. In first mode digital code is accumulated and in second mode digital code is shifting to serial out. 14-bit pixel ADC was shown and simulated.

PACS: 85.60 Dw

Keywords: ROIC, ADC, digital pixel.

References

1. A. M. Filachev, I. I. Taubkin, and M. A. Trishenkov, *Solid-State Photoelectronics. Physical Base*. (Fizmatkniga, Moscow, 2005) [in Russian].
2. A. M. Filachev, I. I. Taubkin, and M. A. Trishenkov, *Solid-State Photoelectronics. Photodiodes*. (Fizmatkniga, Moscow, 20011) [in Russian].
3. X. Lui and A. El Gamal, Proc. SPIE **4469**, 304 (2002).
4. B. Fowler, A. El Gamal, and D. Yang, in *ISSCC Digest of Technical Papers*. (San Frasco, CA. February 1994).
5. P. A. Kuznetsov and S. S. Khromov, *Uspekhi Prikladnoi Fiziki* **1**, 321 (2013).
6. K. O. Boltar, A. A. Zaitsev, and S. S. Khromov, *Prikladnaya Fizika*, No. 5, 92 (2011).
7. I. D. Burlakov, K. O. Boltar, E. A. Klimanov, et al., *Prikladnaya Fizika*, No. 5, 92 (2005)

8. A. A. Zaitsev, P. A. Kuznetsov, and S. S. Khromov, *Prikladnaya Fizika*, No. 2, 97 (2011)
9. A. A. Zaitsev and S. S. Khromov, *Prikladnaya Fizika*, No. 2, 100 (2011)
10. M. D. Korneeva, V. P. Ponomarenko, and A. M. Filachev, *Prikladnaya Fizika*, No. 2, 47 (2011)
11. S. Bisotto and A. Peizerat, et. al. Proc. SPIE **7834**, 76603T (2010).
12. A. Kitchen, A. Bermak, and A. Bouzerdoun, *IEEE Electron Device Lett.* **25**, 471 (2004).
13. A. Kitchen, A. Bermak, and A. Bouzerdoun, *Electron Devices, IEEE Transactions* **52**, 2591 (2005).
14. A. Peizerat and M. Arques, *IISW*, 200 (2007).
15. D. Yang, B. Fowler, and A. El Gamal, *IEEE Journal of Solid-State Circuits* **34**, 348 (1999).
16. N. A. Doshi, S. B. Dhobale, and S. R. Kakade, *World Academy of Science, Engineering and Technology* **24**, 919 (2008).