

Фотоэлектроника

УДК 621. 383

Сравнительный анализ БИС считывания с цифровым режимом временной задержки накопления для ФПУ ИК-диапазона

П. А. Кузнецов, И. С. Моцев

Анализируются варианты построения БИС считывания для сканирующих ИК ФПУ с цифровым режимом ВЗН. Накопление и обработка фотосигнала в цифровом виде позволяют существенно повысить количество каскадов ВЗН и, соответственно, улучшить отношение сигнал-шум на выходе БИС считывания. Рассмотрены две основные архитектуры БИС считывания с цифровым режимом ВЗН: шинно-адресная и конвейерная. Приведены варианты построения одноканальных АЦП: преобразователь «фототок-частота», преобразователь «фототок-временной интервал». Отмечены преимущества конвейерной архитектуры: меньшая занимаемая площадь в сочетании с пониженной потребляемой мощностью.

РАСs: 85.60 Dw

Ключевые слова: БИС считывания, АЦП в ячейке, цифровой режим, ВЗН.

Введение

В работах [1, 2, 6] отмечено, что прогресс в создании ИК ФПУ третьего поколения обусловлен в первую очередь фактором технологического и схемотехнического совершенствования кремниевых микроэлектронных устройств — БИС считывания фотосигналов. Большинство исследователей и разработчиков в области микрофотоэлектроники сходятся во мнении, что основной тенденцией развития современных БИС считывания является осуществление аналогово-цифрового преобразования (АЦП) фотосигнала и проведение первичной цифровой обработки на кристалле БИС. Накопление и обработка фотосигнала в цифровом виде позволяют существенно повысить отношение сигнал-шум на выходе БИС считывания, расширить линейный динамический диапазон ФПУ, устранить влияние помех при сопряжении ФПУ с дальнейшим электронным трактом, а также, что немаловажно, исключить внешние микросхемы АЦП из состава ФПУ.

К числу наиболее значимых достижений можно отнести создание БИС считывания с АЦП в

ячейке [14] для длинноволновых матричных КРТ ФД формата 320×256 (SOFRADIR и CEA/LETI) и БИС считывания со столбцовыми АЦП для средневолновых матричных InSb ФД формата 1280×1024 (SCD).

Что касается сканирующих ИК ФПУ с режимом ВЗН и цифровым представлением сигнала на выходе БИС считывания, то здесь пока нет достижений, широко применяемых на практике. Одной из причин этого можно считать более сложную архитектуру таких БИС считывания. Для разработчиков БИС считывания очевидным является тот факт, что режим ВЗН должен быть реализован в цифровом виде, поскольку простая оцифровка полученного аналогового ВЗН-сигнала не освобождает БИС считывания от недостатков аналогового режима ВЗН: резкая (квадратичная) зависимость площади суммирующих емкостей от количества каскадов ВЗН; зависимость выходного ВЗН-сигнала от разбросов суммирующих емкостей и пороговых напряжений МОП транзисторов; дополнительные шумы, вносимые ВЗН-каскадами (особенно в низкофоновых применениях); влияние эффективности переноса заряда ВЗН-регистров; повышенные напряжения питания (до 5—6 В); недостаточно высокая зарядовая емкость ВЗН-каскадов и т. д.

Основной задачей представленной работы является проведение сравнительного анализа существующих схемотехнических решений по реализации цифрового режима ВЗН.

Кузнецов Петр Александрович, главный специалист.

Моцев Иван Сергеевич, инженер.

ОАО «НПО «ОРИОН».

Россия, 111123, Москва, шоссе Энтузиастов, 46/2.

Факс 8 (499) 373-68-62. E-mail: orion@orion-ir.ru

Статья поступила в редакцию 29 декабря 2014 г.

© Кузнецов П. А., Моцев И. С., 2015

Сравнительный анализ вариантов реализации цифрового режима ВЗН

Обзор литературных источников позволяет выделить две основные архитектуры схем с цифровым режимом ВЗН:

- схемы с использованием цифровых сумматоров накопительного типа (аккумуляторов) [6, 10, 11];
- схемы на основе двоичных счетчиков [9, 12].

Соответствующие структурные схемы приведены на рис. 1 и 2. По классификации, приводимой в работе [3—5], обе архитектуры можно отнести к схемам с шинно-адресной организацией режима ВЗН.

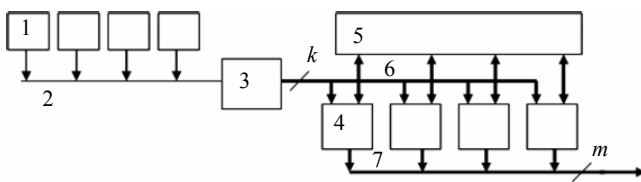


Рис. 1. Структурная схема канала БИС считывания с ВЗН на основе цифровых сумматоров: 1 — аналоговые накопительные ячейки, 2 — шина считывания накопленных фотосигналов, 3 — столбцовый k -разрядный аналогово-цифровой преобразователь, m — разрядные цифровые сумматоры, 5 — регистры хранения промежуточных данных на выходе сумматоров, 6 — цифровая шина выходных сигналов АЦП, 7 — цифровая шина выходных данных (ВЗН-сигнал)

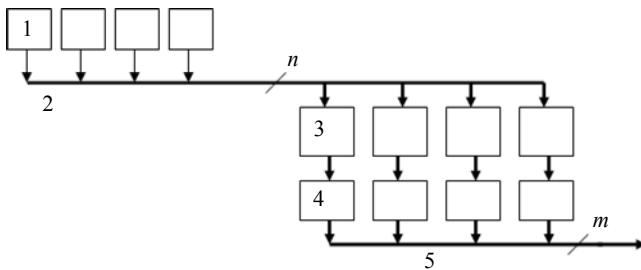


Рис. 2. Структурная схема канала БИС считывания с ВЗН на основе двоичных счетчиков: 1 — накопительные ячейки с однобитным преобразованием фотосигнала, 2 — n -разрядная шина считывания однобитных сигналов, 3 — m — разрядные двоичные счетчики, 4 — регистры хранения выходных данных, 5 — цифровая шина выходных данных (ВЗН-сигнал)

В первой структурной схеме алгоритм ВЗН реализуется на цифровых сумматорах 4 накопительного типа, т. е. аккумуляторах. Аккумулятор представляет комбинационный сумматор с обратной связью через элемент памяти в виде регистра (рис. 3, а) и реализует функцию $S_i = S_{i-1} + A$, где A — текущее значение сигнала на выходе столбцового АЦП 3, S_i и S_{i-1} — текущее и предыдущее сигналы на выходе сумматора. Несмотря на простоту и очевидность данной архитектуры, у нее есть серьезный недостаток — большая занимаемая площадь. Например, одноразрядная ячейка сумматора с сигналом переноса (рис. 3, б) содержит не менее 50 МОП транзисторов, что в 2,5—3 раза больше, чем в статическом D-триггере.

Например, одноразрядная ячейка сумматора с сигналом переноса (рис. 3, б) содержит не менее 50 МОП транзисторов, что в 2,5—3 раза больше, чем в статическом D-триггере.

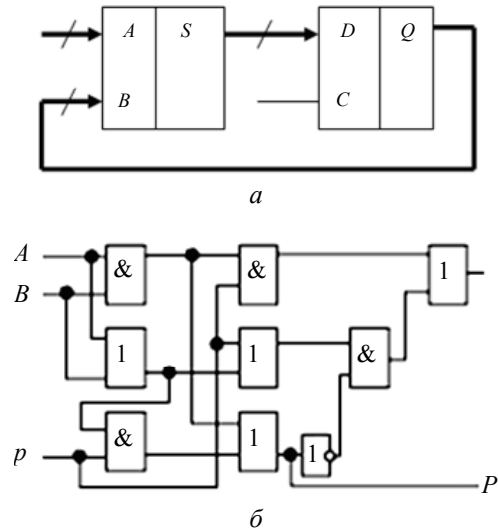


Рис. 3. Цифровой сумматор: а — структура накопительного сумматора (аккумулятора); б — логическая схема одноразрядного сумматора

Во второй структурной схеме алгоритм ВЗН реализуется на двоичных счетчиках 3, по сути, тоже сумматорах, накапливающих цифровой код, пропорциональный количеству импульсов, поступающих от накопительных ячеек 1 с однобитным АЦП. Такая структура позволяет исключить столбцовый АЦП из каждого канала и снизить площадь, занимаемую схемой ВЗН за счет того, что двоичные счетчики совмещают функции накопления и хранения данных и строятся на простых D-триггерах. Однобитный АЦП в ячейке может быть реализован на принципах широтно-импульсной модуляции (ШИМ) или частотной модуляции (ЧМ) выходного сигнала компаратора [7]. К недостаткам этого варианта и, вообще, архитектуры с шинно-адресной организацией цифрового режима ВЗН, можно отнести большую площадь, занимаемую многоразрядными цифровыми шинами. Например, в варианте на рис. 2 через каждый канал БИС считывания проходят n -разрядная шина 2 от n -го количества накопительных ячеек и m -разрядная шина 5 цифровых ВЗН-сигналов. Кроме того, каждая цифровая шина имеет суммарную паразитную емкость, пропорциональную длине и разрядности этой шины, поэтому быстрый перезаряд паразитных емкостей при передаче цифрового сигнала ведет к увеличению потребляемой мощности БИС.

Альтернативой шинно-адресной организации цифрового режима ВЗН может являться архитек-

тура с конвейерной передачей цифровых данных подобно передаче сигнального заряда в сканирующих ФПЗС с аналоговым режимом ВЗН. На рис. 4 приведены два варианта реализации канала с цифровым режимом ВЗН конвейерного типа.

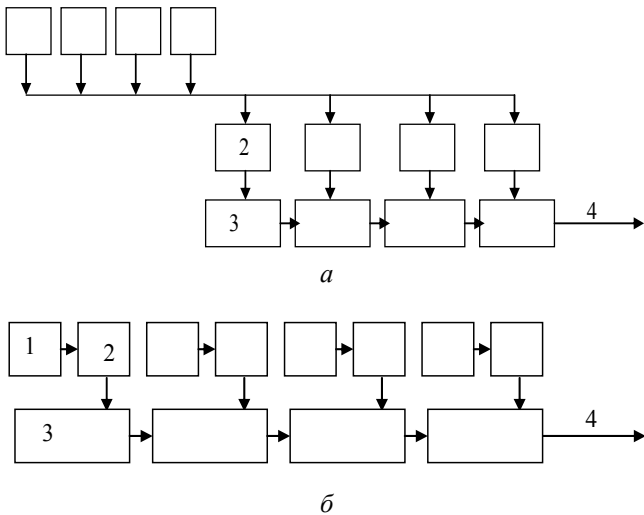


Рис. 4. Структуры схем с цифровым режимом ВЗН конвейерного типа: а — с разнесенными аналоговыми накопительными ячейками 1, однобитными АЦП 2 и цифровым ВЗН-регистром 3; б — с интеграцией всех элементов 1, 2, 3 в единую ВЗН-ячейку

Различия между этими вариантами носят в основном топологический характер и состоят в том, что в первом варианте (рис. 4, а) сигналы накопительных ячеек 1 считываются в аналоговом виде и поступают в ячейки с однобитным АЦП 2 и, далее, в двоичные счетчики 3, а во втором варианте (рис. 4, б) элементы 1, 2, 3 топологически интегрированы в единую ВЗН-ячейку. Особенностью

двоичных счетчиков 3 является наличие двух режимов работы:

- режим инкрементирования, т. е. счета импульсов, поступающих от однобитного АЦП за один период накопления;
- режим сдвигового регистра для осуществления конвейерной передачи цифровых данных, накопленных в каждой ВЗН-ячейке.

Было проведено компьютерное моделирование работы двухрежимного счетчика на примере режима ВЗН по четырем элементам с пятиразрядным АЦ преобразованием выходного сигнала. Для большей наглядности, на выходе каждой из 4-х цифровых ВЗН-ячеек были подключены цифроаналоговые преобразователи (ЦАП). Временные диаграммы на выходах этих ЦАП приведены в результатах моделирования на рис. 5. Можно выделить три этапа работы цифровой ВЗН-ячейки: I — цифровое накопление (счет импульсов); II — хранение цифрового кода; III — последовательный (поразрядный) перенос цифрового кода в следующую ВЗН-ячейку. На этапах I и II ВЗН-ячейка работает как двоичный счетчик, а на этапе III имеет место режим сдвигового регистра. В зависимости от величины фотосигнала длительности I и II этапов меняются, составляя в сумме максимальный интервал накопления, равный: $T_n = T_{cmp} - mT_{mi}$, где T_{cmp} — период строки, T_{mi} — период тактовых импульсов в режиме сдвигового регистра, m — разрядность двоичного счетчика. Целесообразно выбирать частоту тактирования сдвигового регистра достаточно высокой, чтобы длительность последовательного переноса всех m разрядов (этап III) не была более 3—5 % от периода строки.

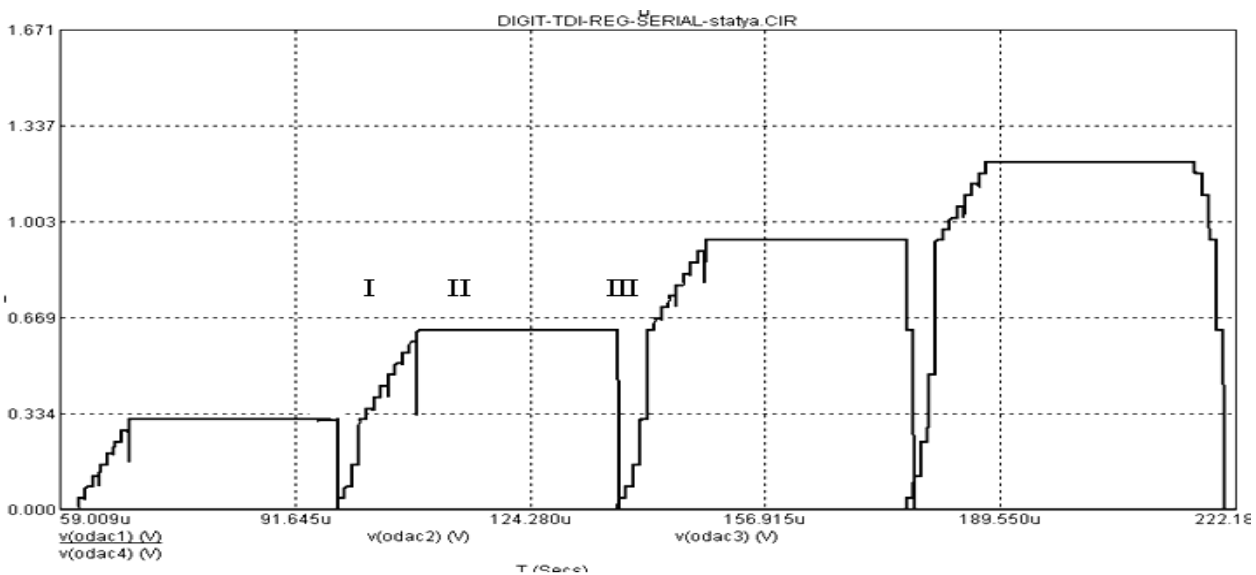


Рис. 5. Результаты моделирования цифрового режима ВЗН на основе двухрежимного двоичного счетчика

Поскольку структура цифрового ВЗН на рис. 4, б является наиболее оптимальной с точки зрения минимизации площади БИС считывания и ее потребляемой мощности, то для реализации этой структуры потребовался поиск триггерной ячейки с минимальным количеством МОП транзисторов. В качестве триггерной ячейки была выбрана компактная 5-ти транзисторная КМОП схема статического D-триггера с тактированием уровнем (D-latch) (рис. 6). Две такие ячейки, включенные последовательно и с противофазным тактированием, образуют DFF-триггер с тактированием по фронту и входом сброса R (рис. 6). В цифровой схемотехнике DFF-триггер является базовым элементом при построении, как двоичных счетчиков, так и сдвиговых регистров, поэтому с помощью дополнительных переключающих элементов между DFF-триггерами можно получить схему двухрежимного счетчика, реализующую цифровой режим ВЗН конвейерного типа.

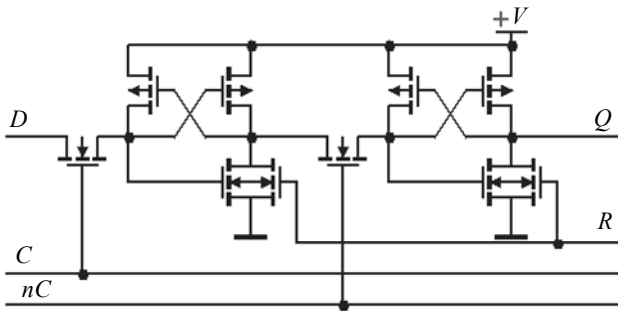


Рис. 6. Тактируемый фронтом статический D-триггер (DFF), реализованный с минимальным количеством МОП транзисторов

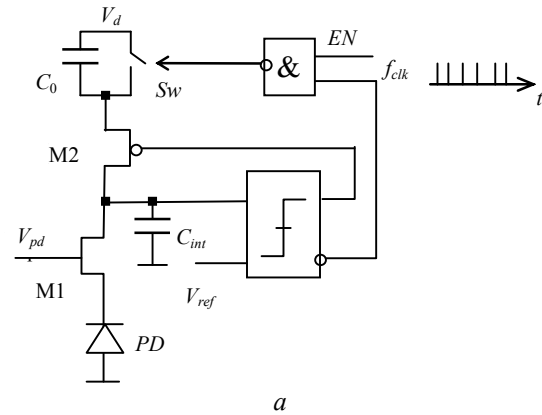
Способы реализации однобитных АЦП

Что касается однобитных АЦП, то подробный анализ их функционирования был проведен в работах [7, 13]. Следует только отметить, что выбор конкретной схемы однобитного АЦП должен быть оптимизирован по отношению к заданному диапазону ИК спектра. Например, для низкофоновых применений (I_{ϕ} менее 100 пА) приемлемым является вариант с преобразованием «фототок-временной интервал» (рис. 7, а). Для КРТ фотодиодов длинно-волнового диапазона и с большими фоновыми токами (I_{ϕ} порядка 50 нА) возможно применение варианта как с преобразованием «фототок-частота» (рис. 7, б), так и с преобразованием «фототок-временной интервал».

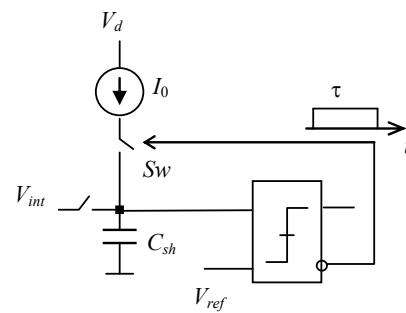
Преобразователь «фототок-частота» работает по принципу автогенерации импульсов с выхода компаратора за счет разряда накопительной емкости C_{int} до опорного уровня V_{ref} . Ток разряда равен току фотодиода PD, инжектированному через

МОП транзистор M1. Логический сигнал EN задает два режима автогенерации:

1. со сбросом накопленного на емкости C_{int} заряда до уровня V_d ;
2. с компенсацией накопленного заряда малыми порциями (квантами) заряда Q_0 , формируемыми на емкости C_0 .



а



б

Рис. 7. Варианты однобитных АЦП: а — преобразователь «фототок-частота»; б — преобразователь «фототок-временной интервал»

В работах [13, 14] было отмечено, что в первом режиме автогенерации имеется существенный недостаток: нелинейная зависимость частоты автогенерации от фототока I_{PD} , обусловленная временем задержки t_d компаратора, т. е. образуется погрешность заряда

$$\Delta Q = I_{PD} \cdot t_d. \quad (1)$$

Поэтому более предпочтительным является второй режим автогенерации, особенно в сканирующих ФПУ с малым временем накопления по сравнению со «смотрящими» ФПУ.

Рассмотрим количество разрядов m , получаемых в цифровом режиме ВЗН с автогенерацией. Для сканирующих фотоэлектронных модулей на основе длинноволновых КРТ-фотодиодов с максимальным фототоком $I_{max} = 100$ нА, периодом строки $T_s = 20$ мкс, $N = 8$ получим:

$$Q_0 = (Q_{max} q)^{1/2} = (I_{max} T_s N q)^{1/2} = 1,6 \cdot 10^{-15} \text{ Кл} \quad (2)$$

$$DR = (Q_{\max}/q)^{1/2} = 10^4 \quad (3)$$

$$T_{clk} = 1/f_{clk} = Q_0/I_{\max} = 16 \text{ нс}. \quad (4)$$

Выражение (2) для кванта заряда Q_0 получено при условии работы в VLIP-режиме, т. е. равно квадратному корню из максимального количества накопленных от фона носителей заряда. Таким образом, для обеспечения динамического диапазона $DR = 10^4$ потребуется АЦ-преобразование с количеством разрядов не менее 14 ($2^{14} = 16000$). Выражение (4) для минимального периода импульсов автогенерации справедливо только для режима автогенерации с компенсацией заряда. Для режима автогенерации со сбросом заряда имеем нелинейную зависимость частоты от фототока, связанную с временем задержки t_d срабатывания компаратора:

$$f_{clk} = I_{\max}/2(Q_0 + \Delta Q) = I_{\max}/(2Q_0 + I_{\max}t_d). \quad (5)$$

При этом нелинейность АЦ-преобразования для середины линейного участка динамического (т. е. $I_{PD} = 0,5 I_{\max}$) определяется как

$$\delta = \Delta Q/Q_0 = I_{\max}t_d/(2Q_0 + I_{\max}t_d). \quad (6)$$

Для допустимой нелинейности $\delta = 2\%$ необходимо выполнения условия $Q_0 = 25 I_{\max}t_d$. При задержке срабатывания компаратора $t_d = 20$ нс получим квант заряда $Q_0 = 4 \cdot 10^{-14}$ Кл и частоту автогенерации $f_{clk} = 1$ МГц. Кадровая частота, необходимая для получения АЦ-преобразования с количеством разрядов $m = 14$, будет равна ($f_{clk}/2^{14}$) = 62 Гц, а достижимое время накопления — 16,6 мс. Очевидно, что такое время накопления может быть достигнуто только в матричных ФПУ «смотрящего» типа. Для сканирующих ФПУ максимальное время накопления равно $t_{int} = T_s N$ и при заданных выше параметрах ($T_s = 20$ мкс, $N = 8$), составляет 160 мкс. Полученный динамический диапазон можно еще рассматривать как отношение максимального времени накопления к минимальному периоду автогенерации:

$$DR = T_s N / T_{clk} = 160 \text{ мкс} / 16 \text{ нс} = 10^4. \quad (7)$$

Изменение режима автогенерации происходит с помощью логического сигнала EN : при низком уровне EN будет режим со сбросом заряда, при высоком уровне EN — режим с компенсацией заряда.

Для низкофоновых задач, как было отмечено выше, целесообразно применение однобитного АЦП с преобразованием «фототок-временной интервал». В схеме на рис. 7, а напряжение сигнала

V_{int} с отрицательной полярностью периодически считывается из накопительной ячейки, к которой ключ Sw синхронно подключает генератор постоянного тока I_0 . Напряжение на емкости C_{sh} линейно возрастает до уровня V_{ref} в течение интервала времени

$$\tau = (V_{ref} - V_{int}) C_{sh} / I_0, \quad (8)$$

после чего срабатывает компаратор и отключает подзаряд емкости. Количество тактовых импульсов с фиксированной частотой, попадающих в этот интервал, пропорционально входному сигналу V_{int} и определяет цифровой код на выходе счетчика.

Заключение

Рассмотрены две основные архитектуры БИС считывания с цифровым режимом ВЗН: шинно-адресная и конвейерная. Отмечены преимущества конвейерной архитектуры: меньшая занимаемая площадь в сочетании с пониженной потребляемой мощностью. Рассмотрены также основные варианты построения однобитных АЦП: преобразователь «фототок-частота», преобразователь «фототок-временной интервал». Отмечено, что для сканирующих ФПУ длинноволнового ИК-диапазона с цифровым режимом ВЗН целесообразнее использовать однобитный АЦП типа преобразователь «фототок-частота» с вычитанием заряда. Для низкофоновых задач целесообразно применение однобитного АЦП с преобразованием «фототок-временной интервал».

ЛИТЕРАТУРА

1. Филачев А. М., Таубкин И. И., Трищенко М. А. Твердотельная фотоэлектроника. Фотодиоды. — М.: Физматкнига, 2011.
2. Rogalski A. // Opto-Electronics Review 2012. V. 20. P. 279.
3. Кузнецов П. А., Хромов С. С. // Успехи прикладной физики. 2013. Т. 1. № 3. С. 321.
4. Зайцев А. А., Болтарь К. О., Кузнецов П. А. и др. // Прикладная физика. 2011. № 5. С. 92.
5. Зайцев А. А., Кузнецов П. А., Хромов С. С. // Прикладная физика. 2012. № 5. С. 95.
6. Лу И. И. // Успехи прикладной физики. 2014. Т. 2. № 4. С. 409.
7. Кузнецов П. А., Моцев И. С. // Успехи прикладной физики. 2014. Т. 2. № 1. С. 83.
8. Зайцев А. А., Кузнецов П. А., Хромов С. С. // Прикладная физика. 2011. № 2. С. 97.
9. Патент РФ, № 2498456.
10. Патент РФ, № 2465684.
11. Патент US 7129509.
12. Патент WO2014082660A1.
13. Peizerat A., Arques M. // IISW. 2007. P. 200
14. Bisotto S., Peizerat A., et al. // Proc. SPIE. 2010. V. 7834. P. 76603T.

ROICs for scanning IR FPA with digital TDI mode

P. A. Kuznetsov and I. S. Moshchev

Orion R&P Association, Inc.
46/2 Enthusiasts highway, Moscow, 111123, Russia
E-mail: orion@orion-ir.ru

Received December 29, 2014

Some construction variants of ROICs for scanning IR FPA having digital TDI mode are analyzed. Photo signal processing in digital domain allowed to increase number TDI stages with improving SNR on ROIC output. Two basic ROIC architectures are shown: bus addressing and conveyer transfer. Advan-tages of architecture with conveyer transfer are pointed.

PACs: 85.60 Dw

Keywords: ROIC, pixel ADC, digital TDI mode.

REFERENCES

1. A. M. Filachev, I. I. Taubkin, and M. A. Trishenkov, *Solid-State Photoelectronics, Photodiodes*. (Fizmatkniga, Moscow, 2011) [in Russian].
2. A. Rogalski, *Opto-Electronics Review* **20**, 279 (2012).
3. P. A. Kuznetsov, S. S. Khromov, *Uspekhi Prikladnoi Fiziki* **1**, 321 (2013).
4. A. A. Zaitsev, K.O. Boltar, P. A. Kuznetsov, et al., *Prikladnaya Fizika*, No. 5, 92 (2011).
5. A. A. Zaitsev, P. A. Kuznetsov, and S. S. Khromov, *Prikladnaya Fizika*, No. 5, 95 (2012).
6. I.I. Lee, *Uspekhi Prikladnoi Fiziki* **2**, 409 (2014).
7. P. A. Kuznetsov and I. S. Moshchev, *Uspekhi Prikladnoi Fiziki* **2**, 83 (2014).
8. A. A. Zaitsev, P. A. Kuznetsov, and S. S. Khromov, *Prikladnaya Fizika*, No. 2, 97 (2011).
9. RF Patent, No. 2498456.
10. RF Patent, No. 2465684.
11. US Patent, No. 7129509.
12. Patent WO2014082660A1.
13. A. Peizerat and M. Arques, *IISW*, 200 (2007).
14. S. Bisotto, A. Peizerat, et al., *Proc. SPIE* **7834**, 76603T (2010).